

08/747928
E2751

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: 07014931 A

(43) Date of publication of application: 17.01.95

(51) Int. Cl

H01L 21/8242
H01L 21/822
H01L 27/04
H01L 27/108

(21) Application number: 05142460

(71) Applicant: NEC CORP

(22) Date of filing: 15.06.93

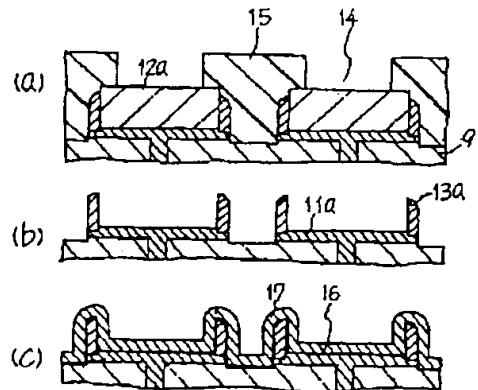
(72) Inventor: TSURU MASAHIRO

(54) MANUFACTURE OF SEMICONDUCTOR DEVICE

(57) Abstract:

PURPOSE: To prevent the occurrence of cracks caused by a silicon nitride film which works as a mask at side wall etching and the increase of inter-wiring capacity, relating to a multiple cylinder type stack capacitor.

CONSTITUTION: A silicon nitride film for mask directly under node electrodes 11a and 13a is abolished, and a layer insulation film 9 works as a mask at etching of polycrystal silicon 11a and 13a. After the node electrodes are formed, a photoresist film 15 is deposited on the surface of the layer insulation film 9, so that a mesa-profiled supporting body 12a is exposed, and then it is removed by wet-etching, etc. Then, after the photoresist film 15 is removed, a capacity insulation film 16 and a polycrystal silicon film 17 are deposited, and they are etching-processed for forming a cell plate electrode.



COPYRIGHT: (C)1995,JPO

WEST**Help Logout****Main Menu Search Form Result Set Show S Numbers Edit S Numbers****First Hit****Previous Document****Next Document****Full Title Citation Front Review Classification Date Reference Claims KMD****Document Number 1**

Entry 1 of 1

File: DWPI

Jan 17, 1995

DERWENT-ACC-NO: 1995-086904

DERWENT-WEEK: 199512

COPYRIGHT 1999 DERWENT INFORMATION LTD

TITLE: DRAM prodn. - involves layering photoresist film on interlayer insulation film and positioning capacitive insulation film and capacitive polycrystal line silicon film

PATENT-ASSIGNEE: NEC CORP[NIDE]

PRIORITY-DATA:

1993JP-0142460

June 15, 1993

PATENT-FAMILY:

PUB-NO	PUB-DATE	LANGUAGE	PAGES	MAIN-IPC
<u>JP 07014931 A</u>	January 17, 1995	N/A	006	H01L021/8242

APPLICATION-DATA:

PUB-NO	APPL-DESCRIPTOR	APPL-NO	APPL-NO
JP07014931A	June 15, 1993	1993JP-0142460	N/A

INT-CL (IPC): H01L 21/822; H01L 21/8242; H01L 27/04; H01L 27/108

ABSTRACTED-PUB-NO: JP07014931A

BASIC-ABSTRACT:

The prodn. involves removal of a nitride silicon film mask under node electrodes (11a, 13a). An interlayer insulation film (9) acts as the mask during etching of poly crystalline silicon. A photoresist film (15) is formed on the surface of the interlayer insulation film. The support bodies (12a) are exposed, having trapezoidal cross-section. The photoresist film is removed by wet etching. Then, a capacitive insulation film (16) and capacitive polycrystalline silicon film (17) are layered. An etching processing results in the formation of cell plate electrode.

ADVANTAGE - Prevents crack generation in nitride silicon film. Prevents increase in inter wiring capacitance. Improves reliability and electric property.

CHOSEN-DRAWING: Dwg.2/6

TITLE-TERMS:

DRAM PRODUCE LAYER PHOTORESIST FILM INTERLAYER INSULATE FILM POSITION CAPACITANCE INSULATE FILM CAPACITANCE POLYCRYSTALLINE SILICON FILM

DERWENT-CLASS: G06 L03 U11 U12

CPI-CODES: GU6-D06; GU6-E02; LU3-GU4A; LU4-C06B; LU4-CU7C; LU4-C10B;
LU4-C11C;

EPI-CODES: U11-C05G1B; U12-C02A1; U12-Q;

SECONDARY-ACC-NO:

CPI Secondary Accession Numbers: C1995-039897
Non-CPI Secondary Accession Numbers: N1995-068486

[Main Menu](#) | [Search Form](#) | [Result Set](#) | [Show S Numbers](#) | [Edit S Numbers](#) |

[Front End](#)

[Previous Document](#)

[Next Document](#)

[Full](#) | [Title](#) | [Citation](#) | [Front](#) | [Review](#) | [Classification](#) | [Date](#) | [Reference](#) | [Claims](#) | [HTML](#) |

[Help](#)

[Logout](#)

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平7-14931

(43)公開日 平成7年(1995)1月17日

(51)Int.Cl.*

識別記号

庁内整理番号

F I

技術表示箇所

H 01 L 21/8242

21/822

27/04

7210-4M

H 01 L 27/10

325 C

8832-4M

27/04

C

審査請求 未請求 請求項の数 2 O L (全 6 頁) 最終頁に続く

(21)出願番号

特願平5-142460

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 都留 真廣

東京都港区芝五丁目7番1号 日本電気株
式会社内

(74)代理人 弁理士 京本 直樹 (外2名)

(22)出願日

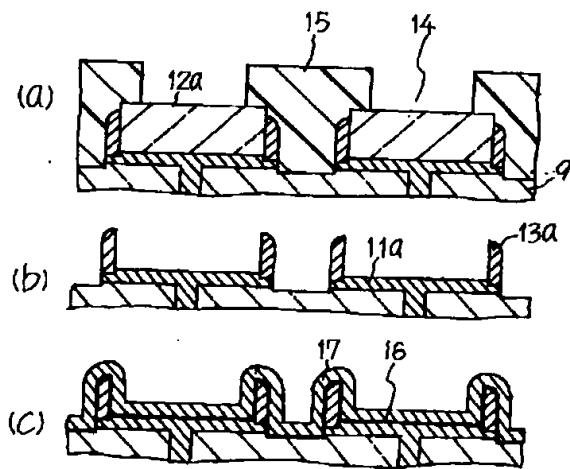
平成5年(1993)6月15日

(54)【発明の名称】 半導体装置の製造方法

(57)【要約】

【目的】サイドウォールを利用した多重円筒型 STACK キャバシタにおいて、サイドウォールエッチング時のマスクとなる空化シリコン膜によって生じるクラックの発生、配線間容量の増大を防ぐ。

【構成】ノード電極(11a, 13a)直下のマスク用空化シリコン膜を廃止し、多結晶シリコン(11a, 13a)をエッチングする際のマスクの役目を層間絶縁膜9が果たす。ノード電極を形成後、フォトレジスト膜15を層間絶縁膜9表面に堆積して、断面台形状支持体12aは露出する様に形成した後、ウェットエッチング等で除去する。次にフォトレジスト膜15を除去した後、容量絶縁膜16及び多結晶シリコン膜17を堆積して、これをエッチング加工することで、セルプレート電極を形成する。



【特許請求の範囲】

【請求項1】 半導体チップの所定の層間絶縁膜を導電膜を介して選択的に被覆する断面台形状支持体を形成する工程と、前記断面台形状支持体の側面を覆い前記導電膜と連結する筒状電極を形成する工程と、前記断面台形状支持体の表面の少なくとも一部上に開口を有しつつ前記筒状電極で覆われていない前記層間絶縁膜表面を覆うレジスト膜を形成する工程と、前記レジスト膜をマスクにして前記断面台形状支持体を除去する工程とを有するスタックキャバシタ形成工程を含むことを特徴とする半導体装置の製造方法。

【請求項2】 レジスト膜を塗布した後選択エッティングを行ない断面台形状支持体の表面を露出させる請求項1記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、半導体装置の製造方法に関し、特に筒状から成るノード電極をスタックキャバシタとして有するダイナミックランダムアクセスメモリ(DRAM)の製造方法に関する。

【0002】

【従来の技術】 従来、高集積のダイナミックランダムアクセスメモリ(DRAM)のメモリセルとして微細化されたセル面積でのキャバシタの表面積を増大させる手法に筒状スタックキャバシタが提案されている。

【0003】 次にその製造方法について説明する。図5(a)～(d)、図6(a)～(c)は、従来例の筒状スタックキャバシタセルの製造工程の説明のための工程順断面図である。

【0004】 まず図5(a)に示すように、P型シリコン基板1表面に、素子分離絶縁膜2を形成し、ゲート絶縁膜3、ゲート電極5、n型のノード拡散層4-1、n型のピット拡散層4-2から成るトランジスタを形成する。n型のピット拡散層4-2にはピット線8が接続されており、ピット線8は、ゲート電極5及びn型のノード拡散層4-1と、層間絶縁膜6によって絶縁されている。次に全面に層間絶縁膜9aを堆積した後、窒化シリコン膜9bを堆積する。

【0005】 次に、ノード拡散層4-1に達するコンタクト孔10を開口し、下地のn型多結晶シリコン膜11及び下地の酸化シリコン膜12を順次堆積する。続いて、フォトレジスト膜(図示せず)をマスクにした反応性イオンエッティング等の異方性エッティングにより、図5(b)に示すように、酸化シリコン膜12及び下地のn型多結晶シリコン膜11を順次エッティングし、フォトレジスト膜を除去することにより、断面台形状支持体12bおよび底部電極11bを形成する。次に、図5(c)に示すように、第1のn型多結晶シリコン膜13及び第1の酸化シリコン膜を順次堆積し、続いて、反応性イオンエッティング等の異方性エッティングにより、第1の酸化

シリコン膜をエッティングして、第1の多結晶シリコン膜13の側壁に第1の酸化シリコン膜18を残すように形成する。

【0006】 続いて、図5(d)に示すように、第2のn型多結晶シリコン膜19を堆積した後、反応性イオンエッティング等の異方性エッティングにより、図6(a)に示すように、第2のn型多結晶シリコン膜19及び第1のn型多結晶シリコン膜13をエッティングする。

【0007】 次に、沸騰系のウェットエッティングにより、図6(b)に示すように、断面台形状支持体12b、及び第1の酸化シリコン膜18を除去し、底部電極11b、筒状電極13b、19bから成るノード電極を形成する。

【0008】 次に、図6(c)に示すように、容量絶縁膜16及びn型多結晶シリコン膜17を全面に堆積した後、これをエッティング加工して、セルプレート電極としてDRAMが完成する。

【0009】

【発明が解決しようとする課題】 この従来の筒型スタッキキャバシタセルの形成方法では、窒化シリコン膜9bが、n型の多結晶シリコン膜11、13、19を反応性イオンエッティング等で異方性エッティングする際、及び酸化シリコン膜(12b、18)をウェットエッティング等の等方性エッティングする際の計3回に対してエッティング耐性がなくてはならず、最低でも120nm程度の膜厚が必要になる。

【0010】 しかし、この窒化シリコン膜(断面台形状支持体等の除去時のエッティング阻止層)が半導体基板全面に厚く成膜されていることで、

30 (1) 下地絶縁膜(9a)との膜応力の違いにより、酸化シリコン膜に亀裂が生じる。

【0011】 (2) 下地絶縁膜(9a)より高い比誘電率の膜であるためワード線、ピット線とスタックキャバシタより上層部に形成される配線との間の配線間容量が増加し、電気信号伝達の遅れが生じる。

【0012】 (3) あるいはこの電気信号伝達の遅れを避けるため下地絶縁膜(9a)の厚さを大きくすると、スタックキャバシタより上層部に形成される配線のコンタクト孔が深くなるため、コンタクト抵抗が増大するなどの問題点があった。

【0013】

【課題を解決するための手段】 本発明の半導体装置の製造方法は、半導体チップの所定の層間絶縁膜を導電膜を介して選択的に被覆する断面台形状支持体を形成する工程と、前記断面台形状支持体の側面を覆い前記導電膜と連結する筒状電極を形成する工程と、前記断面台形状支持体の表面の少なくとも一部上に開口を有しつつ前記筒状電極で覆われていない前記層間絶縁膜表面を覆うレジスト膜を形成する工程と、前記レジスト膜をマスクにして前記断面台形状支持体を除去する工程とを有するスタ

ックキャパシタ形成工程を含むというものである。

【0014】

【作用】断面台形状支持体の除去時に層間絶縁膜はレジスト膜で覆われているのでエッチング阻止層として空化シリコン膜を設ける必要がない。

【0015】

【実施例】次に本発明の実施例について図面を参照して説明する。

【0016】図1 (a) ~ (d)、図2 (a) ~ (c)は本発明の第1の実施例の説明のための工程順断面図である。

【0017】まず、図1 (a) に示すように、P型シリコン基板1表面に素子分離絶縁膜2を形成し、ゲート絶縁膜3、ゲート電極5、n型のノード拡散層4-1、n型のピット拡散層4-2から成るトランジスタを形成する。n型のピット拡散層4-2にはピット線8が接続されており、ピット線8は、ゲート電極5及びn型のノード拡散層4-1と層間絶縁膜6によって絶縁されている。次に全面に層間絶縁膜9を堆積する。

【0018】次に、このように準備された半導体チップの層間絶縁膜9、6に、ノード拡散層4-1に達するコントラクト孔10を開口し、下地のn型多結晶シリコン膜11を厚さ160nm程度、酸化シリコン膜12を例えば500nm程度、順次堆積する。続いて、フォトレジスト膜(図示せず)をマスクにしたCHF₃などによる反応性イオンエッチング等の異方性エッチングにより、下地のシリコン酸化膜12をエッチングし、フォトレジスト膜を除去して図1 (b) に示すように、断面台形状支持体12aを形成する。このときn型多結晶シリコン膜11の表面部が若干エッチングされる。次に、図1 (c) に示すように、第1のn型多結晶シリコン膜13を例えば100nm程度堆積し、続いて、HB_rなどによる反応性イオンエッチング等の異方性エッチングにより図1 (d) に示すように、下地のn型多結晶シリコン膜11、及び第1のn型結晶シリコン膜13をエッチングして底部電極11a、筒状電極13aを形成する。

【0019】次に、フォトレジスト膜を全面に堆積した後、フォトリソグラフィ技術を用いて、図2 (a) に示すように、断面台形状支持体12a表面の少なくとも一部が露出する開口14を有し、かつ、層間絶縁膜9の表面は全て覆うフォトレジスト膜15を形成する。続いて、フォトレジスト膜15をマスクにして、例えば沸騰系のウェットエッチングにより、図2 (b) に示すように、断面台形状支持体12aを除去し、次にフォトレジスト膜15を除去することで、底部電極11aおよび筒状電極13aから成るノード電極を形成する。

【0020】次に、図2 (c) に示すように、容量絶縁膜16を例えば5nm程度及びn型多結晶シリコン膜17を例えば150nm程度全面に堆積した後、これをエッチング加工して、セルプレート電極に形成し、DRAMが完成する。この第2の実施例は、第1の実施例に比べ、フォトレジスト膜形成時のフォトリソグラフィにおける目合せ、露光が不要であり、また、自己整合でフォトレジスト膜を加工できることから、微細なパターン形成に適しており、多重の円筒状ノード電極を形成することが容易である。なお、本実施例において、底部電極1

Mが完成する。この実施例では、層間絶縁膜9がエッチングされるのは図1 (d) を参照して説明した工程の1回だけである。

【0021】図3 (a) ~ (e)、図4 (a)、(b)は本発明の第2の実施例の説明のための工程順断面図である。

【0022】第1の実施例で図1 (a) を参照して説明した工程の次に、図3 (a) に示すように、断面台形状支持体12bを形成する。12bは12aより小さくする。続いて、n型多結晶シリコン膜を断面台形状支持体12b、12aをマスクにして、反応性イオンエッチング等の異方性エッチングにより、エッチングして底部電極11bを形成する。

【0023】次に、図3 (b) に示すように、第1のn型多結晶シリコン膜13を例えば100nm及び第1の酸化シリコン膜を例えば100nm順次堆積した後、反応性イオンエッチング等の異方性エッチングにより、第1のシリコン酸化膜をエッチングして、第1のn型多結晶シリコン膜13の側壁に第1のシリコン酸化膜18を残すようとする。

【0024】続いて、図3 (c) に示すように、第2のn型多結晶シリコン膜19を堆積した後、反応性イオンエッチング等の異方性エッチングにより、図3 (d) に示すように、第1のn型多結晶シリコン膜13及び第2のn型多結晶シリコン膜19をエッチングして筒状電極13b、19aを形成する。

【0025】次に、フォトレジスト膜を全面に例えば1000nm堆積した後、図3 (d) に示すように、断面台形状支持体12b及び第1の酸化シリコン膜18の表面が露出し、かつ、層間絶縁膜9の表面は全て厚さ100~300nm程度のフォトレジスト膜15aで覆われている様にするため、例えばアルカリ系の水溶液を用いて、フォトレジスト膜を選択的にエッチングする。

【0026】続いてフォトレジスト膜15aをマスクにして、例えば、沸騰系のウェットエッチングにより、断面台形状支持体12b及び第1の酸化シリコン膜18を除去し、次にフォトレジスト膜15aを除去することで、図4 (a) に示すように、底部電極11b、筒状電極13b、19aから成るノード電極の形成を完了する。

【0027】次に、図4 (b) に示すように、容量絶縁膜16を例えば5nm程度及びn型多結晶シリコン膜17を例えば150nm程度全面に堆積した後、これをエッチング加工して、セルプレート電極に形成し、DRAMが完成する。この第2の実施例は、第1の実施例に比べ、フォトレジスト膜形成時のフォトリソグラフィにおける目合せ、露光が不要であり、また、自己整合でフォトレジスト膜を加工できることから、微細なパターン形成に適しており、多重の円筒状ノード電極を形成することが容易である。なお、本実施例において、底部電極1

1 b を断面台形状支持体 12 b 形成の直後に行なったが、第1の実施例と同様に、この段階ではn型多結晶シリコン膜11のバーニングは行なわず、第2のn型多結晶シリコン膜19のバーニング時に同時にバーニングしてもよい。

【0028】

【発明の効果】以上説明したように、本発明は筒状のノード電極を有するスタックキャパシタDRAMセルの形成時に筒状電極の形成に必要な断面台形状支持体等を除去する際に、フォトレジストを全面に塗布した後、断面台形状支持体表面の少なくとも一部上に開口を有し、かつ、下地の層間絶縁膜表面を全て覆うようにフォトレジスト膜を加工して、このフォトレジスト膜をマスクに、断面台形状支持体等を除去するので、従来技術では、エッチング阻止層として必要であった空化シリコン膜を使用しなくて済み、これにより、

- (1) 空化シリコン膜の亀裂
- (2) スタックキャパシタ上層の配線と下層の配線との配線間容量の増大

(3) あるいはスタックキャパシタ上層の配線のコンタクト深さ増大によるコンタクト抵抗の増大などの問題を解消できるので、信頼性および電気的特性の一層改善された半導体装置の実現が可能となる効果がある。

【図面の簡単な説明】

【図1】本発明の第1の実施例の説明のため (a) ~ (d) に分図して示す工程順断面図である。

【図2】図1に対応する工程の次工程の説明のため (a) ~ (c) に分図して示す工程順断面図である。

【図3】本発明の第2の実施例の説明のため (a) ~ (e) に分図して示す工程順断面図である。

【図4】図3に対応する工程の次工程の説明のため

(a), (b) に分図して示す工程順断面図である。

【図5】従来例の説明のため (a) ~ (d) に分図して示す工程断面図である。

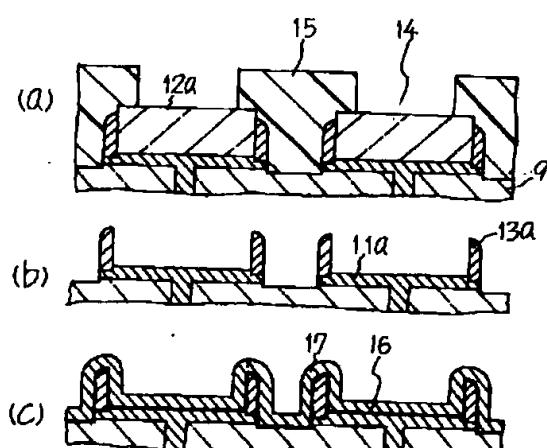
【図6】図5に対応する工程の次工程の説明のため

(a) ~ (c) に分図して示す工程順断面図である。

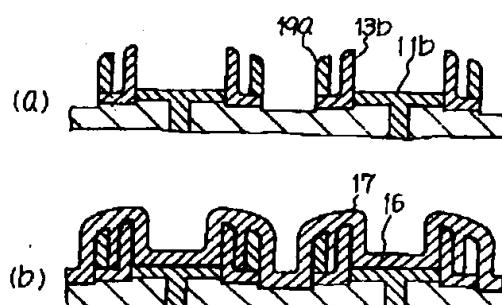
【符号の説明】

1	P型シリコン基板
2	素子分離絶縁膜
3	ゲート絶縁膜
4-1	ノード拡散層
4-2	ピット拡散層
5	ゲート電極(ワード線)
6	層間絶縁膜
7	コンタクト孔
8	ピット線
9, 9a	層間絶縁膜
9b	空化シリコン膜
10	コンタクト孔
11	n型多結晶シリコン膜
11a, 11b	底部電極
12	酸化シリコン膜
12a, 12b	断面台形状支持体
13	多結晶シリコン膜
13a, 13b	筒状電極
14	開口
15, 15a	フォトレジスト膜
16	容量絶縁膜
17	n型多結晶シリコン膜(セルプレート)
18	酸化シリコン膜
19	n型多結晶シリコン膜
19a	筒状電極

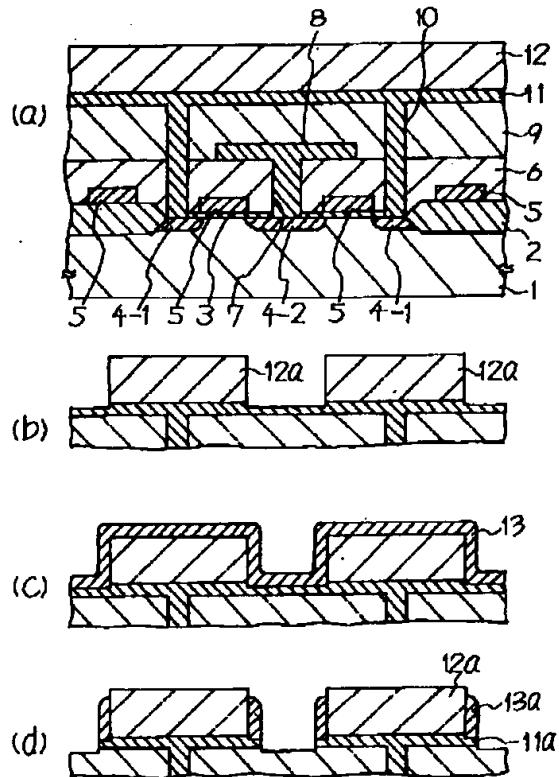
【図2】



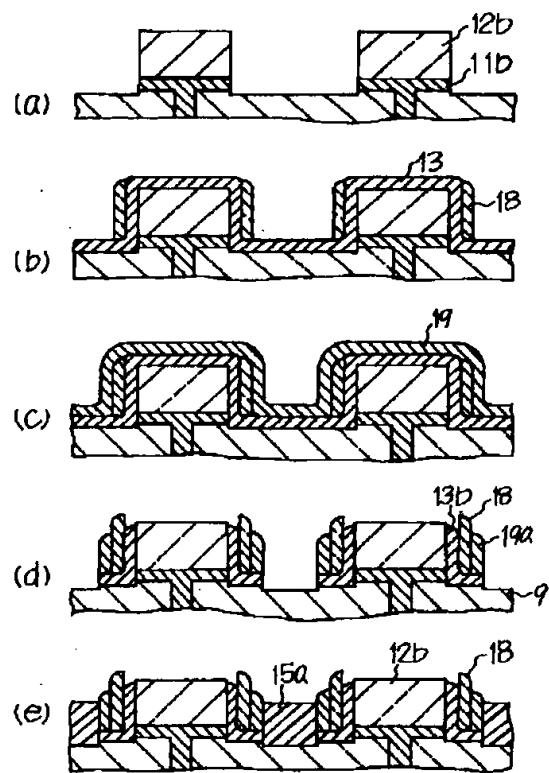
【図4】



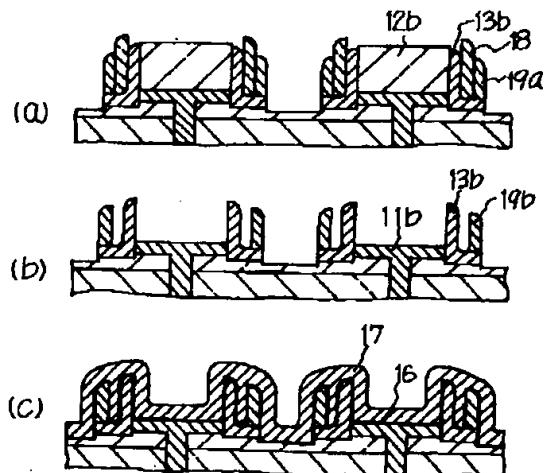
【図1】



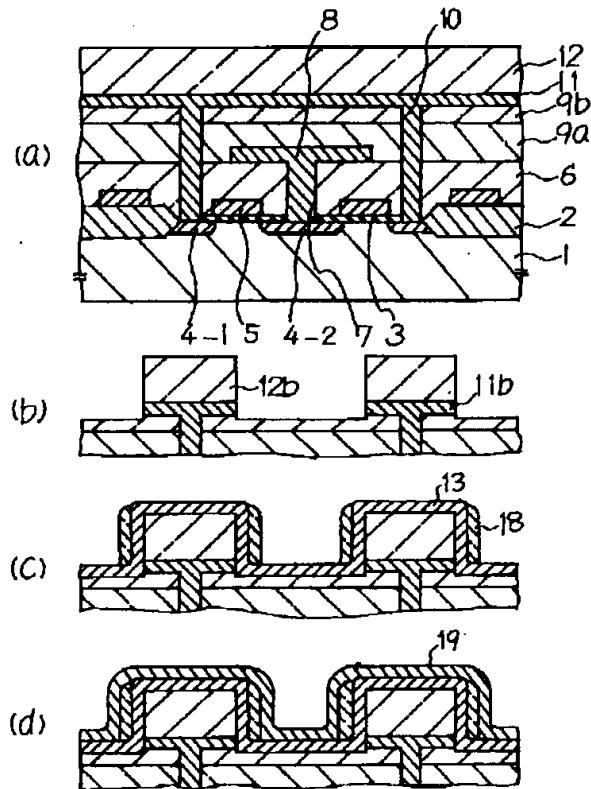
【図3】



【図6】



【図5】



フロントページの続き

(51) Int. Cl. 6

H 01 L 27/108

識別記号 庁内整理番号

F I

技術表示箇所